

#2
1/31/00
HAYES

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yoshiyuki NAKAMURA

Title: TEST CIRCUIT, TEST CIRCUIT FORMING SYSTEM, AND TEST CIRCUIT FORMING METHOD AND STORAGE MEDIUM THEREFOR

Appl. No.: Unassigned

Filing Date: October 17, 2000

Examiner: Unassigned

Art Unit: Unassigned



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 11-297453 filed October 19, 1999.

Respectfully submitted,

Date October 17, 2000

FOLEY & LARDNER
Washington Harbour
3000 K Street, N.W., Suite 500
Washington, D.C. 20007-5109
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By

Phillip J. Artale

Reg. No.
38,819

for

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

OSP-9860 4S
志賀

US

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年10月19日

出 願 番 号

Application Number:

平成11年特許願第297453号

出 願 人

Applicant (s):

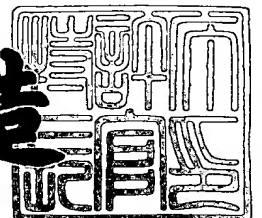
日本電気株式会社



2000年 8月25日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3067920

【書類名】 特許願

【整理番号】 74510176

【提出日】 平成11年10月19日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28

【発明の名称】 テスト回路およびテスト回路生成装置、テスト回路生成方法およびその記録媒体

【請求項の数】 15

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 中村 芳行

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100108578

 【弁理士】

 【氏名又は名称】 高橋 詔男

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100101465

 【弁理士】

 【氏名又は名称】 青山 正和

【選任した代理人】

 【識別番号】 100108453

 【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 テスト回路およびテスト回路生成装置、テスト回路生成方法およびその記録媒体

【特許請求の範囲】

【請求項 1】 第 1 と第 2 の被テスト回路の間に設定され、該第 1 と第 2 の被テスト回路に対し、テストを行うテスト回路であって、

外部から入力されるテストモード信号に基づき、前記第 1 の被テスト回路から出力される第 1 の出力信号または前記第 2 の被テスト回路から出力される第 2 の出力信号またはテスト信号を選択し選択された信号をデータとして一時記憶し、第 2 のテストモード信号に基づき、前記一時記憶したデータまたは前記第 2 の出力信号を選択し前記第 1 の被テスト回路へ設定し、第 3 のテストモード信号に基づき、前記一時記憶したデータあるいは前記第 1 の出力信号を選択し前記第 2 の被テスト回路へ設定し、前記一時記憶したデータをテスト結果として出力することを特徴とするテスト回路。

【請求項 2】 集積回路装置内の第 1 と第 2 の被テスト回路の間に設定され、該第 1 と第 2 の被テスト回路に対し、テストを行うテスト回路を有する集積回路装置であって、

外部から入力されるテストモード信号に基づき、前記第 1 の被テスト回路から出力される第 1 の出力信号または前記第 2 の被テスト回路から出力される第 2 の出力信号またはテスト信号を選択し選択された信号をデータとして一時記憶し、第 2 のテストモード信号に基づき、前記一時記憶したデータまたは前記第 2 の出力信号を選択し前記第 1 の被テスト回路へ設定し、第 3 のテストモード信号に基づき、前記一時記憶したデータあるいは前記第 1 の出力信号を選択し前記第 2 の被テスト回路へ設定し、前記一時記憶したデータをテスト結果として出力するテスト回路を有することを特徴とする集積回路装置。

【請求項 3】 第 1 と第 2 の被テスト回路の間に設定され、該第 1 と第 2 の被テスト回路に対し、テストを行うテスト回路であって、

第 1 のテストモード信号と第 2 のテストモード信号に基づき、前記第 1 の被テスト回路から出力される第 1 の出力信号または前記第 2 の被テスト回路から出力

される第 2 の出力信号またはテスト信号を選択して出力する第 1 のマルチプレクサと、

前記第 1 のマルチプレクサから出力される信号を入力し、データとして一時記憶するスキャンブロックと、

第 2 のテストモード信号に基づき、前記スキャンブロックからの出力または前記第 2 の出力信号を選択し、前記第 1 の被テスト回路へ出力する第 2 のマルチプレクサと、

第 3 のテストモード信号に基づき、前記スキャンブロックからの出力あるいは前記第 1 の出力信号を選択し、前記第 2 の被テスト回路へ出力する第 3 のマルチプレクサと、

を具備し、

前記スキャンブロックに一時記憶されたデータをテスト結果として出力することを特徴とするテスト回路。

【請求項 4】 集積回路装置のテストを行うテスト回路の生成装置であって

前記集積回路装置と外部の回路を接続するテスト端子の数に基づいて、テスト信号の入出力の系統数を算出するパラレル数算出部と、

前記集積回路装置内に配置される被テスト回路の入力端子数もしくは出力端子数のうち、端子数が多い方の端子数を、前記被テスト回路毎に検出する第 1 の検出部と、

前記第 1 の検出部の検出結果の数を、前記パラレル数算出部によって算出されるパラレル数で割り、記憶素子が直列に接続される数であるシリアル長を算出するコア毎シリアル長算出部とを有し、

前記パラレル数算出部によって決定されるパラレル数に基づき、前記被テスト回路に対しパラレルにテストを行う系統数を算出し、前記コア毎シリアル長決定部の出力結果に基づいて前記テストを行う系統のシリアル長を算出することを特徴とするテスト回路生成装置。

【請求項 5】 前記集積回路内の各被テスト回路の入力端子数または出力端子数について、最大である端子数を検出する第 2 の検出部と、

前記第 2 の検出部の検出結果の数を、前記パラレル数算出部によって決定されるパラレル数で割り、シリアル長を算出する共通シリアル長算出部とを有し、

前記パラレル数算出部によって決定されるパラレル数に基づき、前記被テスト回路に対しテストを行う系統数を決定し、前記共通シリアル長算出部の出力結果に基づいて前記テストを行う系統のシリアル長を決定することを特徴とする請求項 4 記載のテスト回路生成装置。

【請求項 6】 集積回路装置のテストを行うテスト回路であって、

前記集積回路装置内の被テスト回路の入力端子と出力端子がペアとなる数と同数の請求項 1 から 3 記載のいずれかのテスト回路を生成するテスト回路生成部と

前記テスト回路生成部が生成したテスト回路を、前記被テスト回路の一組の入力端子と出力端子へそれぞれ接続するコア接続部と、

前記集積回路の外部端子と、前記テスト回路のうち 1 つのテスト回路のテスト信号入力端子とを接続し、該テスト回路から出力されるスキャンブロックの出力端子と、他方のテスト回路のテスト信号を入力する入力端子とを、それぞれ直列に接続するシリアル接続部と、

前記シリアル接続部が直列に接続した最後段のテスト回路のスキャンブロックに得られる出力信号をテスト結果として出力することを特徴とするテスト回路生成装置。

【請求項 7】 前記集積回路装置に、テスト信号の端子と前記シリアル接続の系統で必要となる端子数とに基づき、前記シリアル接続の系統を前記ペアの数と同数の系統に分割するパラレル接続部と、

前記パラレル接続部によって分割された各系統へテスト信号を入力し、最後段のテスト回路のスキャンブロックに得られる出力信号をテスト結果として出力することを特徴とする請求項 6 記載のテスト回路生成装置。

【請求項 8】 被テスト回路と、該被テスト回路に対しテストを行うテスト回路とを有する集積回路装置であって、

前記被テスト回路の入力端子と出力端子がペアとなる数と同数の請求項 1 から 3 記載のいずれかのテスト回路が設定され、

前記テスト回路が、前記被テスト回路の一組の入力端子と出力端子へそれぞれ接続され、

外部からテスト信号が入力される外部入力端子と前記テスト回路のうち 1 つのテスト回路のテスト信号入力端子とが接続され、

前記テスト回路から出力されるスキャンブロックの出力端子と他方のテスト回路のテスト信号を入力する入力端子が、それぞれ直列に接続され、

前記直列に接続されたテスト回路のうち、最後段となるテスト回路のスキャンブロックの出力端子と、テスト結果を外部へ出力する外部出力端子へ接続されることを特徴とする集積回路装置。

【請求項 9】 第 1 と第 2 の被テスト回路の間に設定され、該第 1 と第 2 の被テスト回路に対し、テストを行うテスト方法であって、外部から入力されるテストモード信号に基づき、前記第 1 の被テスト回路から出力される第 1 の出力信号または前記第 2 の被テスト回路から出力される第 2 の出力信号またはテスト信号を選択し選択された信号をデータとして一時記憶し、第 2 のテストモード信号に基づき、前記一時記憶したデータまたは前記第 2 の出力信号を選択し前記第 1 の被テスト回路へ設定し、第 3 のテストモード信号に基づき、前記一時記憶したデータあるいは前記第 1 の出力信号を選択し前記第 2 の被テスト回路へ設定し、前記一時記憶したデータをテスト結果として出力することを特徴とするテスト方法。

【請求項 10】 集積回路装置のテストを行うテスト回路の生成方法であって、

前記集積回路装置と外部の回路を接続するテスト端子の数に基づいて、テスト信号の入出力の系統数を算出するパラレル数算出ステップと、

前記集積回路装置内に配置される被テスト回路の入力端子数もしくは出力端子数のうち、端子数が多い方の端子数を、前記被テスト回路毎に検出する第 1 の検出ステップと、

前記第 1 の検出ステップの検出結果の数を、前記パラレル数算出ステップによって算出されるパラレル数で割り、記憶素子が直列に接続される数であるシリアル長を算出するコア毎シリアル長算出ステップとを有し、

前記パラレル数算出ステップによって決定されるパラレル数に基づき、前記被テスト回路に対しパラレルにテストを行う系統数を算出し、前記コア毎シリアル長決定ステップの出力結果に基づいて前記テストを行う系統のシリアル長を算出することを特徴とするテスト回路生成方法。

【請求項 1 1】 前記集積回路内の各被テスト回路の入力端子数または出力端子数について、最大である端子数を検出する第 2 の検出ステップと、

前記第 2 の検出ステップの検出結果の数を、前記パラレル数算出ステップによって決定されるパラレル数で割り、シリアル長を算出する共通シリアル長算出ステップとを有し、

前記パラレル数算出ステップによって決定されるパラレル数に基づき、前記被テスト回路に対しテストを行う系統数を決定し、前記共通シリアル長算出ステップの出力結果に基づいて前記テストを行う系統のシリアル長を決定することを特徴とする請求項 1 0 記載のテスト回路生成方法。

【請求項 1 2】 集積回路装置のテストを行うテストプログラムを記憶したコンピュータ読み取り可能な記録媒体において、

前記集積回路装置のテストを行うテストプログラムは、

前記集積回路装置内の被テスト回路の入力端子と出力端子がペアとなる数と同数の請求項 1 から 3 記載のいずれかのテスト回路を生成するテスト回路生成ステップと、

前記テスト回路生成ステップが生成したテスト回路を、前記被テスト回路の一组の入力端子と出力端子へそれぞれ接続するコア接続ステップと、

前記集積回路の外部端子と、前記テスト回路のうち 1 つのテスト回路のテスト信号入力端子とを接続し、該テスト回路から出力されるスキャンブロックの出力端子と、他方のテスト回路のテスト信号を入力する入力端子とを、それぞれ直列に接続するシリアル接続ステップと、

前記シリアル接続ステップが直列に接続した最後段のテスト回路のスキャンブロックに得られる出力信号をテスト結果として出力するステップと

をコンピュータに実行させる集積回路装置のテストを行うテストプログラムを記録した記録媒体。

【請求項 1 3】 前記集積回路装置に、テスト信号の端子と前記シリアル接続の系統で必要となる端子数とに基づき、前記シリアル接続の系統を前記ペアの数と同数の系統に分割するパラレル接続ステップと、

前記パラレル接続ステップによって分割された各系統へテスト信号を入力し、最後段のテスト回路のスキャンブロックに得られる出力信号をテスト結果として出力するステップと、

をコンピュータに実行させる集積回路装置のテストを行うテストプログラムを記録した請求項 1 2 記載の記録媒体。

【請求項 1 4】 集積回路装置のテストを行うテスト回路の生成プログラムを記録したコンピュータ読み取り可能な記録媒体において、

前記集積回路装置と外部の回路を接続するテスト端子の数に基づいて、テスト信号の入出力の系統数を算出するパラレル数算出ステップと、

前記集積回路装置内に配置される被テスト回路の入力端子数もしくは出力端子数のうち、端子数が多い方の端子数を、前記被テスト回路毎に検出する第 1 の検出ステップと、

前記第 1 の検出ステップの検出結果の数を、前記パラレル数算出ステップによって算出されるパラレル数で割り、記憶素子が直列に接続される数であるシリアル長を算出するコア毎シリアル長算出ステップとを有し、

前記パラレル数算出ステップによって決定されるパラレル数に基づき、前記被テスト回路に対しパラレルにテストを行う系統数を算出し、前記コア毎シリアル長決定ステップの出力結果に基づいて前記テストを行う系統のシリアル長を算出するステップとをコンピュータに実行させる集積回路装置のテストを行うテスト回路の生成プログラムを記録した記録媒体。

【請求項 1 5】 前記集積回路内の各被テスト回路の入力端子数または出力端子数について、最大である端子数を検出する第 2 の検出ステップと、

前記第 2 の検出ステップの検出結果の数を、前記パラレル数算出ステップによって決定されるパラレル数で割り、シリアル長を算出する共通シリアル長算出ステップとを有し、

前記パラレル数算出ステップによって決定されるパラレル数に基づき、前記被

テスト回路に対しテストを行う系統数を決定し、前記共通シリアル長算出ステップの出力結果に基づいて前記テストを行う系統のシリアル長を決定することを特徴とする請求項 1 4 記載のコンピュータに実行させる集積回路装置のテストを行うテスト回路の生成プログラムを記録した記録媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、集積回路に対し、テストを行うためのテスト回路に関するものである。

【0 0 0 2】

【従来の技術】

従来、集積回路装置に使用されている大規模コアおよびその周辺回路をテストするには、コアを分離する方法が一般的である。それにはこのコアおよび周辺回路へ外部端子から直接テストデータを設定および観測するためのアクセスパスを確保する必要がある。このアクセスパスには外部端子からコア端子へ 1 対 1 にデータを与えるパラレル方法（特開平 1 1－2 0 2 0 3 1 号）と、1 つの外部端子からスキャンパスを用いてシリアルにデータを与えるシリアル方法（特開平 1 0－7 8 4 7 5 号）が提案されている。

【0 0 0 3】

特開平 1 0－7 8 4 7 5 号は、シリアル方法を適用した RAM コアのテスト方法である。RAM コアの各入力端子は、3 つのスキャンフリップフロップ（以下、「入力側 FF」と称する）によって構成されたスキャンパスが接続され、また、RAM コアの各出力端子も同様に、3 つのスキャンフリップフロップ（以下、「出力側 FF」と称する）によって構成されたスキャンパスがそれぞれ接続されている。入力側 FF と、RAM コアと、出力側 FF は、シリアルに接続されている。上述の構成において、RAM コアをテストするには、入力側 FF と出力側 FF ののシリアルチェーンに対し、入力側 FF からテスト信号を設定し、出力側 FF から出力を取り出す。

【0 0 0 4】

このテスト回路では、外部端子の数とスキャンFFの数は同数であり、1回のテストには、FFの数（この場合6）と同数のシフトのためのクロックを入力する必要がある。また、出力の全端子に対しロジック（ユーザ論理）を通過する配線がなされる。

【0005】

従って、このテスト方法では、RAMコアの各端子に1つずつスキャンFFが必要であるため、1回のテストにつき、6回のクロックの入力が必要であり、RAMコアの端子数が多数ある場合には、テスト時間が長くなってしまい、また、ロジック部をコアのテスト配線が通過するため、配線が混雑する問題があった。

【0006】

特開平11-202031は、パラレル方法によるコアのテスト方法である。この回路では、テストモード信号に基づいてテスト信号とコアの出力信号を選択するセレクタが、一方のコアの出力端子に設けられ、また、テストモード信号に基づき、テスト信号をコアの入力端子もしくは外部への出力端子へ出力するセレクタが、他方のコアの入力端子へ設けられる。外部端子から一方のコアの出力端子に設けられたセレクタを介してパラレルに値を入力し、他方のコアに設けられたセレクタを介してパラレルに外部端子へ出力する。従って、全コアの端子数の合計数の外部端子が必要になる。また、コア間には必ず直接に接続されている必要がある。

【0007】

従って、この特開平11-202031号の方法では、外部端子数が全く考慮されていないため、コアの端子が多い場合に、外部端子数が足りなくなり、テストを行うことが不可能になる。また、この回路構成では、コアの各端子に対し、配線が必要であり、配線が複雑になる問題があった。

【0008】

【発明が解決しようとする課題】

上述したように、従来、シリアル方法を用いた場合においては、テスト時間が長くなってしまい、さらに、配線が混雑する問題があった。パラレル方法を用いた場合においては、コアの端子が多い場合に、外部端子数が足りなくなり、テ

ストを行うことが不可能になってしまい、また、コアの各端子に対し、配線が必要であり、配線が複雑になる問題がある。

【0 0 0 9】

本発明はこのような事情に鑑みてなされたもので、その目的は、テスト時間を短縮し、さらに、パターン長と外部端子数を削減した集積回路装置のテスト回路を提供することにある。

【0 0 1 0】

【課題を解決するための手段】

上記目的を達成するために、本発明のうち請求項 1 に記載の発明は、第 1 と第 2 の被テスト回路の間に設定され、該第 1 と第 2 の被テスト回路に対し、テストを行うテスト回路であって、外部から入力されるテストモード信号に基づき、前記第 1 の被テスト回路から出力される第 1 の出力信号または前記第 2 の被テスト回路から出力される第 2 の出力信号またはテスト信号を選択し選択された信号をデータとして一時記憶し、第 2 のテストモード信号に基づき、前記一時記憶したデータまたは前記第 2 の出力信号を選択し前記第 1 の被テスト回路へ設定し、第 3 のテストモード信号に基づき、前記一時記憶したデータあるいは前記第 1 の出力信号を選択し前記第 2 の被テスト回路へ設定し、前記一時記憶したデータをテスト結果として出力することを特徴とする。

【0 0 1 1】

請求項 2 に記載の発明は、集積回路装置内の第 1 と第 2 の被テスト回路の間に設定され、該第 1 と第 2 の被テスト回路に対し、テストを行うテスト回路を有する集積回路装置であって、外部から入力されるテストモード信号に基づき、前記第 1 の被テスト回路から出力される第 1 の出力信号または前記第 2 の被テスト回路から出力される第 2 の出力信号またはテスト信号を選択し選択された信号をデータとして一時記憶し、第 2 のテストモード信号に基づき、前記一時記憶したデータまたは前記第 2 の出力信号を選択し前記第 1 の被テスト回路へ設定し、第 3 のテストモード信号に基づき、前記一時記憶したデータあるいは前記第 1 の出力信号を選択し、前記第 2 の被テスト回路へ設定し、前記一時記憶したデータをテスト結果として出力するテスト回路を有することを特徴とする。

【 0 0 1 2 】

請求項 3 記載の発明は、第 1 と第 2 の被テスト回路の間に設定され、該第 1 と第 2 の被テスト回路に対し、テストを行うテスト回路であって、第 1 のテストモード信号と第 2 のテストモード信号に基づき、前記第 1 の被テスト回路から出力される第 1 の出力信号または前記第 2 の被テスト回路から出力される第 2 の出力信号またはテスト信号を選択して出力する第 1 のマルチプレクサと、前記第 1 のマルチプレクサから出力される信号を入力しデータとして一時記憶するスキャンブロックと、第 2 のテストモード信号に基づき、前記スキャンブロックからの出力または前記第 2 の出力信号を選択し前記第 1 の被テスト回路へ出力する第 2 のマルチプレクサと、第 3 のテストモード信号に基づき、前記スキャンブロックからの出力あるいは前記第 1 の出力信号を選択し、前記第 2 の被テスト回路へ出力する第 3 のマルチプレクサとを具備し、前記スキャンブロックに一時記憶されたデータをテスト結果として出力することを特徴とする。

【 0 0 1 3 】

請求項 4 記載の発明は、集積回路装置のテストを行うテスト回路の生成装置であって、前記集積回路装置と外部の回路を接続するテスト端子の数に基づいて、テスト信号の入出力の系統数を算出するパラレル数算出部と、前記集積回路装置内に配置される被テスト回路の入力端子数もしくは出力端子数のうち、端子数が多い方の端子数を、前記被テスト回路毎に検出する第 1 の検出部と、前記第 1 の検出部の検出結果の数を、前記パラレル数算出部によって算出されるパラレル数で割り、記憶素子が直列に接続される数であるシリアル長を算出するコア毎シリアル長算出部とを有し、前記パラレル数算出部によって決定されるパラレル数に基づき、前記被テスト回路に対しパラレルにテストを行う系統数を算出し、前記コア毎シリアル長決定部の出力結果に基づいて前記テストを行う系統のシリアル長を算出することを特徴とするテスト回路生成装置。

【 0 0 1 4 】

請求項 5 記載の発明は、請求項 4 記載のテスト回路生成装置において、前記集積回路内の各被テスト回路の入力端子数または出力端子数について、最大である端子数を検出する第 2 の検出部と、前記第 2 の検出部の検出結果の数を、前記パ

ラレル数算出部によって決定されるパラレル数で割り、シリアル長を算出する共通シリアル長算出部とを有し、前記パラレル数算出部によって決定されるパラレル数に基づき、前記被テスト回路に対しテストを行う系統数を決定し、前記共通シリアル長算出部の出力結果に基づいて前記テストを行う系統のシリアル長を決定することを特徴とする。

【0015】

請求項 6 記載の発明は、集積回路装置のテストを行うテスト回路であって、前記集積回路装置内の被テスト回路の入力端子と出力端子がペアとなる数と同数の請求項 1 から 3 記載のいずれかのテスト回路を生成するテスト回路生成部と、前記テスト回路生成部が生成したテスト回路を、前記被テスト回路の一組の入力端子と出力端子へそれぞれ接続するコア接続部と、前記集積回路の外部端子と、前記テスト回路のうち 1 つのテスト回路のテスト信号入力端子とを接続し、該テスト回路から出力されるスキャンブロックの出力端子と、他方のテスト回路のテスト信号を入力する入力端子とを、それぞれ直列に接続するシリアル接続部と、前記シリアル接続部が直列に接続した最後段のテスト回路のスキャンブロックに得られる出力信号をテスト結果として出力することを特徴とする。

【0016】

請求項 7 記載の発明は、請求項 6 記載のテスト回路生成装置において、前記集積回路装置に、テスト信号の端子と前記シリアル接続の系統で必要となる端子数とに基づき、前記シリアル接続の系統を前記ペアの数と同数の系統に分割するパラレル接続部と、前記パラレル接続部によって分割された各系統へテスト信号を入力し、最後段のテスト回路のスキャンブロックに得られる出力信号をテスト結果として出力することを特徴とする。

【0017】

請求項 8 記載の発明は、被テスト回路と、該被テスト回路に対しテストを行うテスト回路とを有する集積回路装置であって、前記被テスト回路の入力端子と出力端子がペアとなる数と同数の請求項 1 から 3 記載のいずれかのテスト回路が設定され、前記テスト回路が、前記被テスト回路の一組の入力端子と出力端子へそれぞれ接続され、外部からテスト信号が入力される外部入力端子と前記テスト回

路のうち1つのテスト回路のテスト信号入力端子とが接続され、前記テスト回路から出力されるスキャンブロックの出力端子と他方のテスト回路のテスト信号を入力する入力端子が、それぞれ直列に接続され、前記直列に接続されたテスト回路のうち、最後段となるテスト回路のスキャンブロックの出力端子と、テスト結果を外部へ出力する外部出力端子へ接続されることを特徴とする。

【0018】

請求項9記載の発明は、第1と第2の被テスト回路の間に設定され、該第1と第2の被テスト回路に対し、テストを行うテスト方法であって、外部から入力されるテストモード信号に基づき、前記第1の被テスト回路から出力される第1の出力信号または前記第2の被テスト回路から出力される第2の出力信号またはテスト信号を選択し選択された信号をデータとして一時記憶し、第2のテストモード信号に基づき、前記一時記憶したデータまたは前記第2の出力信号を選択し前記第1の被テスト回路へ設定し、第3のテストモード信号に基づき、前記一時記憶したデータあるいは前記第1の出力信号を選択し前記第2の被テスト回路へ設定し、前記一時記憶したデータをテスト結果として出力することを特徴とする。

【0019】

請求項10記載の発明は、集積回路装置のテストを行うテスト回路の生成方法であって、前記集積回路装置と外部の回路を接続するテスト端子の数に基づいて、テスト信号の入出力の系統数を算出するパラレル数算出ステップと、前記集積回路装置内に配置される被テスト回路の入力端子数もしくは出力端子数のうち、端子数が多い方の端子数を、前記被テスト回路毎に検出する第1の検出ステップと、前記第1の検出ステップの検出結果の数を、前記パラレル数算出ステップによって算出されるパラレル数で割り、記憶素子が直列に接続される数であるシリアル長を算出するコア毎シリアル長算出ステップとを有し、前記パラレル数算出ステップによって決定されるパラレル数に基づき、前記被テスト回路に対しパラレルにテストを行う系統数を算出し、前記コア毎シリアル長決定ステップの出力結果に基づいて前記テストを行う系統のシリアル長を算出することを特徴とする。

【0020】

請求項 1 1 記載の発明は、請求項 1 0 記載のテスト回路生成方法において、前記集積回路内の各被テスト回路の入力端子数または出力端子数について、最大である端子数を検出する第 2 の検出ステップと、前記第 2 の検出ステップの検出結果の数を、前記パラレル数算出ステップによって決定されるパラレル数で割り、シリアル長を算出する共通シリアル長算出ステップとを有し、前記パラレル数算出ステップによって決定されるパラレル数に基づき、前記被テスト回路に対しテストを行う系統数を決定し、前記共通シリアル長算出ステップの出力結果に基づいて前記テストを行う系統のシリアル長を決定することを特徴とする。

【 0 0 2 1 】

請求項 1 2 記載の発明は、集積回路装置のテストを行うテストプログラムを記憶したコンピュータ読み取り可能な記録媒体において、前記集積回路装置のテストを行うテストプログラムは、前記集積回路装置内の被テスト回路の入力端子と出力端子がペアとなる数と同数の請求項 1 から 3 記載のいずれかのテスト回路を生成するテスト回路生成ステップと、前記テスト回路生成ステップが生成したテスト回路を、前記被テスト回路の一組の入力端子と出力端子へそれぞれ接続するコア接続ステップと、前記集積回路の外部端子と、前記テスト回路のうち 1 つのテスト回路のテスト信号入力端子とを接続し、該テスト回路から出力されるスキャンブロックの出力端子と、他方のテスト回路のテスト信号を入力する入力端子とを、それぞれ直列に接続するシリアル接続ステップと、前記シリアル接続ステップが直列に接続した最後段のテスト回路のスキャンブロックに得られる出力信号をテスト結果として出力するステップとをコンピュータに実行させる集積回路装置のテストを行うテストプログラムを記録したことを特徴とする。

【 0 0 2 2 】

請求項 1 3 記載の発明は、請求項 1 2 記載の発明において、前記集積回路装置に、テスト信号の端子と前記シリアル接続の系統で必要となる端子数とに基づき、前記シリアル接続の系統を前記ペアの数と同数の系統に分割するパラレル接続ステップと、前記パラレル接続ステップによって分割された各系統へテスト信号を入力し、最後段のテスト回路のスキャンブロックに得られる出力信号をテスト結果として出力するステップをコンピュータに実行させる集積回路装置のテスト

を行うテストプログラムを記録したことを特徴とする。

【0023】

請求項 1 4 記載の発明は、集積回路装置のテストを行うテスト回路の生成プログラムを記録したコンピュータ読み取り可能な記録媒体において、前記集積回路装置と外部の回路を接続するテスト端子の数に基づいて、テスト信号の入出力の系統数を算出するパラレル数算出ステップと、前記集積回路装置内に配置される被テスト回路の入力端子数もしくは出力端子数のうち、端子数が多い方の端子数を、前記被テスト回路毎に検出する第 1 の検出ステップと、前記第 1 の検出ステップの検出結果の数を、前記パラレル数算出ステップによって算出されるパラレル数で割り、記憶素子が直列に接続される数であるシリアル長を算出するコア毎シリアル長算出ステップとを有し、前記パラレル数算出ステップによって決定されるパラレル数に基づき、前記被テスト回路に対しパラレルにテストを行う系統数を算出し、前記コア毎シリアル長決定ステップの出力結果に基づいて前記テストを行う系統のシリアル長を算出するステップとをコンピュータに実行させる集積回路装置のテストを行うテスト回路の生成プログラムを記録したことを特徴とする。

【0024】

請求項 1 5 記載の発明は、請求項 1 4 記載のコンピュータに実行させる集積回路装置のテストを行うテスト回路の生成プログラムを記録した記録媒体においてさらに、前記集積回路内の各被テスト回路の入力端子数または出力端子数について、最大である端子数を検出する第 2 の検出ステップと、前記第 2 の検出ステップの検出結果の数を、前記パラレル数算出ステップによって決定されるパラレル数で割り、シリアル長を算出する共通シリアル長算出ステップとを有し、前記パラレル数算出ステップによって決定されるパラレル数に基づき、前記被テスト回路に対しテストを行う系統数を決定し、前記共通シリアル長算出ステップの出力結果に基づいて前記テストを行う系統のシリアル長を決定するプログラムを記録したことを特徴とする。

【0025】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。図 1 は、この発明の第一の実施形態によるテスト回路 1 0 の構成を示す概略ブロック図である。マルチプレクサ（以下、「MUX」と称する）1 0 - 1 は、外部から入力されるテストモード信号 S が 0 であり、外部から入力されるテストモード信号 T が 0 の場合は、端子 u i から入力される信号を選択する。テストモード信号 S が 0 で、テストモード信号 T が 1 の場合は、端子 c o からの入力される信号を選択する。テストモード信号 S が 1 である場合は、テストパターン端子 s i から入力される信号 S I を選択する。そして、前述のテストモード信号の状態に応じて、選択した信号をフリップフロップ（以下、「FF」と称する）1 0 - 2 へ出力する。

【0 0 2 6】

FF 1 0 - 2 は、クロック C が入力されるタイミングに応じて、MUX 1 0 - 1 から入力されるデータ信号を一時記憶し、MUX 1 0 - 3 と、MUX 1 0 - 4 へ出力し、また、テストパターン出力端子 s o を介して、テスト回路 1 0 の外部へ信号 S O として出力する。MUX 1 0 - 3 は、テストモード信号 T が 0 の場合に、端子 u i から入力される信号を選択し、テストモード信号 T が 1 の場合に、FF 1 0 - 2 の出力信号を選択し、端子 c i を介して出力する。MUX 1 0 - 4 は、信号 B が 0 の場合に端子 c o から入力される信号を選択し、信号 B が 1 の場合に、FF 1 0 - 2 から出力される信号を選択し、端子 u o を介して信号 U O として外部へ出力する。

【0 0 2 7】

以下、上述したテスト回路 1 0 を用いて、集積回路のテストを行う方法について説明する。図 2 は、本発明のテスト回路 1 0 を適用した集積回路の構成を示す概略ブロック図である。この図において、テスト回路 1 1 ~ 1 5 は、前述したテスト回路 1 0 が適用され、各部に配置されている。

【0 0 2 8】

1 および 2 はテストを行う対象であるコアである。ここで、コアとは、予め設計された回路であり、例えば、CPU、RAM 等がある。コア 1 の入力端子と出力端子は、2 組あり、第 1 の入力端子は、テスト回路 1 1 の端子 c i へ接続され、また、第 1 の出力端子は、テスト回路 1 1 の端子 c o へ接続される。コア 1 の

第 2 の入力端子と第 2 の出力端子は、第 1 の入力端子、第 1 の出力端子と同様に、回路 1 2 の端子 $c i$ 、端子 $c o$ へ、それぞれ接続される。

【 0 0 2 9 】

コア 2 は、第 1 ～第 4 の入力端子と、第 1 ～第 3 の出力端子があり、第 1 ～第 3 の入力端子および第 1 ～第 3 の出力端子は、前述と同様に、テスト回路 1 3 ～1 5 のそれぞれ対応する端子 $u i$ 、端子 $u o$ へ接続される。第 4 の入力端子は、後述する回路 2 0 の端子 $2 c i$ へ接続される。

【 0 0 3 0 】

次に、回路 2 0 の構成について図 3 を用いて説明する。この図において、MUX 2 0 - 1 は、入力されるテストモード信号 S が 0 の場合は、端子 $u i$ から入力される信号 $U I$ を選択し、テストモード信号 S が 1 の場合は、テストパターン入力端子 $s i$ から入力される信号 $S I$ を選択し、FF 2 0 - 2 へ出力する。FF 2 0 - 2 は、クロック C が入力されるタイミングに応じて、MUX 2 0 - 1 から入力されるデータ信号を一時記憶し、MUX 2 0 - 3 へ出力し、また、テストパターン出力端子 $s o$ を介して、回路 2 0 の外部へ信号 $S O$ として出力する。MUX 2 0 - 3 は、テストモード信号 T が 0 の場合に、端子 $2 u i$ から入力される信号 $U I$ を選択し、テストモード信号 T が 1 の場合に、FF 2 0 - 2 の出力を選択し、端子 $2 c i$ を介して、コア 2 へ信号 $C I$ として出力する。

【 0 0 3 1 】

次に、図 2 において、3, 4 は、テストを行う対象であるユーザ回路である。ここで、ユーザ回路とは、コア同士を接続する回路や、カスタム的な機能を加えた回路等である。

ユーザ回路 3 は、入力端子がテスト回路 1 2 のテストパターン出力端子 $s o$ へ接続されており、出力端子は、ユーザ回路 4 の入力端子へ接続されている。ユーザ回路 4 は、第 1 ～第 4 の入力端子と、第 1 ～第 4 の出力端子がある。第 1 の入力端子は、テスト回路 1 1 の端子 $u o$ へ接続され、第 1 の出力端子は、テスト回路 1 1 の端子 $u i$ へ接続されている。そして、第 2 の入力端子および第 2 の出力端子は、テスト回路 1 2 の端子 $u o$ および端子 $u i$ へ接続されている。また、第 3 の入力端子および第 3 の出力端子は、テスト回路 1 4 の端子 $u o$ および端子 $u i$

へ接続され、第 4 の入力端子および第 4 の出力端子は、テスト回路 1 3 の端子 u_o および端子 u_i へ接続されている。

【0032】

次に、スキャン F F 3 1 の構成について図 4 を用いて説明する。この図において、MUX 3 1 - 1 は、テストモード信号 S が 1 の場合に、テストパターン入力端子 s_i から入力される信号 S I を選択し、テストモード信号 S が 0 の場合に、ユーザ回路から入力される信号を選択し、F F 3 1 - 2 へ出力する。F F 3 1 - 2 は、クロック C が入力されるタイミングに応じて、MUX 3 1 - 1 から入力されるデータ信号を一時記憶し、ユーザ回路へ出力し、また、テストパターン出力端子 s_o を介して、スキャン F F 3 1 の外部へ信号 S O として出力する。なお、テスト回路 1 0 と、回路 2 0 と、スキャン F F 3 1 に供給されるクロック C は、実施例では一相クロック C を用いているが、これに限定されるものではない。たとえば多相クロック用いてもよい。

【0033】

図 2 において、スキャン F F 3 2 ~ 3 6 は、スキャン F F 3 1 と同一の構成である。スキャン F F 3 1 ~ スキャン F F 3 3 は、ユーザ回路 3 の内部にあり、スキャン F F 3 4 ~ スキャン F F 3 6 は、ユーザ回路 4 の内部にある。そして、スキャン F F 3 1 のテストパターン入力端子 s_i と、テスト回路 1 2 のテストパターン出力端子 s_o が接続され、スキャン F F 3 1 のテストパターン出力端子 s_o とスキャン F F 3 2 のテストパターン入力端子 s_i が接続される。以下同様に、スキャン F F 3 2 ~ スキャン F F 3 6 は、それぞれ、テストパターン入力端子 s_i とテストパターン出力端子 s_o が接続されることによって、直列に接続される。スキャン F F 3 6 のテストパターン出力端子 s_o は、セレクタ 5 1 の入力へ接続される。

【0034】

次に、セレクタ 5 1 の構成について図 5 を用いて説明する。

セレクタ 5 1 は、テストモード信号 T が 0 の場合に、スキャン F F 3 6 から出力される信号 S O を選択し、テストモード信号 T が 1 の場合に、集積回路の外部端子であるパラレルテスト端子 P I N 1 から入力されるテスト信号であるテストパターンを選択し、テストパターン出力端子 s_o を介して出力する。セレクタ 5 2 は

、テストモード信号Tが0の場合に、テスト回路14から出力される信号SOを選択し、信号テストモード信号Tが1の場合に、集積回路の平行テスト端子PIN2から入力される信号を選択し、テストパターン出力端子soを介して集積回路の平行テスト端子POT2へ出力する。

【0035】

次に、回路41について図6を用いて説明する。回路41は、AND回路で構成されており、テストモード信号Tとテスト回路12から出力されるテストパターン信号SOを入力し、出力信号をOR回路48へ出力する。また、回路42は、回路41と同様に、AND回路で構成されており、テストモード信号Tとテスト回路14から出力されるテストパターン信号SOを入力し、出力信号をOR回路48へ出力する。OR回路48は、回路41と回路42から出力される信号のORをとり、集積回路の外部へ出力端子POT1へ出力する。

【0036】

図7に示すTAP60は、外部から入力される信号TMS、信号TCK、信号TDIに応じて各テストモード信号S、B、T1、T2を制御し、各部へ出力する。テストモード信号Sは、テスト回路11～テスト回路15、回路20、スキャンFF31～スキャンFF36へ出力される。テストモード信号Bは、テスト回路11～テスト回路15へ出力される。テストモード信号T1は、テスト回路11、テスト回路12、回路41へテストモード信号Tとして出力される。テストモード信号T2は、テスト回路13、テスト回路14、テスト回路15、回路20、回路42、セクタ51、セクタ52へテストモード信号Tとして出力される。この各テストモード信号は、たとえばIEEE1149.1のTAPなどを用いて供給することが出来る。

【0037】

次に、上述の構成におけるテスト回路の動作について説明する。まず、コア1のテストについて説明する。TAP60はテストモード信号B=1、T1=1、T2=0を各部へ出力すると、回路42は、テストモード信号T2=0が入力されるため、出力が0になる。また、回路41は、テストモード信号T1=1が入力されるため、テスト回路12から出力される信号に応じた出力をOR回路48

を介して端子POT1へ出力する。これにより、回路41から出力される信号を
パラレルテスト端子POT1によって観測できる。

【0038】

次に、TAP60から、テストモード信号 $S=1$ が出力されると、テスト回路
11およびテスト回路12は、信号SIがMUX10-1を介してFF10-2
へ入力され、このFF10-2の出力が信号SOとして出力される。これにより
、パラレルテスト端子PIN1からテスト回路11、テスト回路12、回路41
へシリアルに入力パターンを設定できる。これと同時に、テスト回路11、テスト
回路12は、FF10-2の出力信号がMUX10-3を介してコア1へ出力さ
れるので、コア1へテスト信号を与えることが出来る。

【0039】

そして、TAP60から、 $S=0$ が出力されると、テスト回路11、テスト回
路12の内部は、コア1からの出力信号COが端子uiを介して、FF10-2
へ入力される。そして、再びTAP60から $S=1$ が入力されると、パラレルテ
スト端子POT1には、シリアルにテストパターンを取り出すことが出来る。

【0040】

次に、コア2をテストする動作について説明する。まず、TAP60が $B=1$
、 $T1=0$ 、 $T2=1$ を各部へ出力すると、回路41は、テストモード信号 $T1$
 $=0$ が入力されるため、出力が0になる。また、回路42は、テストモード信号
 $T2=1$ が入力されるため、回路14から出力される信号に応じた出力をOR回
路48を介してパラレルテスト端子POT1へ出力する。これにより、回路42
から出力される信号をパラレルテスト端子POT1によって観測できる。

【0041】

次に、テストモード信号 $T2$ が0になるとことにより、回路51は、PIN1
からの入力信号を選択し、回路52は、PIN2からの入力信号を選択する。こ
れにより、PIN1から回路13と回路14へテストパターンを与えることができ
、また、PIN2から回路15と回路20へテストパターンを与えることができる
。

【0042】

ここでテストモード信号 $S = 1$ にすると、テスト回路 1 3、テスト回路 1 4、テスト回路 1 5 の $FF 1 0 - 2$ 、端子 $c i$ が有効となり、回路 2 0 の $FF 2 0 - 2$ 、端子 $2 c i$ も有効となり、コア 2 ヘテストパターンを与えることができる。これにより、 $P I N 1$ と $P I N 2$ からパラレルにシリアルなテストパターンを設定できる。

【0 0 4 3】

次に、テストモード信号 $S = 0$ にすると、テスト回路 1 3、テスト回路 1 4、テスト回路 1 5 は、端子 $c o$ 、 $FF 1 0 - 2$ が有効となり、コア 2 の出力信号が $FF 1 0 - 2$ ヘ取り込まれる。また、回路 2 0 は、端子 $2 u i$ 、 $FF 2 0 - 2$ が有効となる。ここで、再びテストモード信号 $S = 1$ にすることにより、パラレルテスト端子 $P O T 1$ 、 $P O T 2$ からパラレルにテストパターンを取り出すことが出来る。

【0 0 4 4】

次に、ユーザ回路のテストの動作について説明する。

まず、テストモード信号 $B = 1$ 、テストモード信号 $T 1 = 0$ 、テストモード信号 $T 2 = 0$ に設定する。これにより、回路 5 1 はスキャン $FF 3 6$ の出力、回路 5 2 はテスト回路 1 4 の出力を選択し、パラレルテスト端子 $P I N 1$ から 1 本のスキャンチェーンでパラレルテスト端子 $P O T 2$ に接続される。

【0 0 4 5】

ここで、テストモード信号 $S = 1$ にすると、テスト回路 1 1 ~ 1 5、の内部はテストパターン入力端子 $s i$ 、 $FF 1 0 - 2$ 、テストパターン出力端子 $s o$ が有効となり、回路 2 0 は、テストパターン入力端子 $s i$ 、 $FF 2 0 - 2$ 、テストパターン出力端子 $s o$ が有効となるので、パラレルテスト端子 $P I N 1$ からシリアルな入力パターンを設定できる。このとき、テスト回路 1 1 ~ 1 5 の $FF 1 0 - 2$ 、端子 $u o$ も有効となり、ユーザ回路 3、4 に出力を与えることが出来る。

【0 0 4 6】

また、同時にスキャン $FF 3 1 \sim 3 6$ にもテスト回路 1 2 から値が設定される。次に $S = 0$ にすると、テスト回路 1 1 ~ 1 5 の内部は端子 $u i$ 、 $FF 1 0 - 2$ が有効となり、また、回路 2 0 の内部は端子 $u i$ 、 $FF 2 0 - 2$ が有効となり、

ユーザ回路 3, 4 からの出力が各 FF 1 0 - 2, FF 2 0 - 2 へとりこまれる。さらに、スキャン FF 3 1 ~ 3 6 にも値が取り込まれる。ここで再びテストモード信号 S = 1 にすると、パラレルテスト端子 POT 2 からテストパターンを取り出すことが出来る。

【 0 0 4 7 】

なお、この実施例ではユーザ回路テストのときのシリアルチェーンを 1 本にしたが、コアのテストのときと同じように接続の系統を複数本にできる (図 8)。この図 8 では、パラレルテスト端子 POT 3, PIN 3 がさらにある場合に、スキャン FF 3 1 の出力信号をパラレルテスト端子 POT 3 から取り出し、テストパターンをパラレルテスト端子 PIN 3 からスキャン FF 3 2 へ入力している。これにより、シリアルチェーンをパラレルテスト端子 PIN 1 ~ POT 3 の系統と、パラレルテスト端子 PIN 3 ~ POT 2 の系統の 2 系統に分割することができ、テスト時間を短縮することができる。

【 0 0 4 8 】

また、コアのテストと同じわけ方にもできるが、ユーザ回路のテストのときはテスト回路 1 1 ~ 1 5、回路 2 0、スキャン FF 3 1 ~ 3 6 が、全て動作するため、コア単体のテストの場合とは最適なわけ方が一致するとは限らない。このため、この実施例では、コア単体テストとユーザ回路のテストでシリアルチェーンのわけかたを変えている。

【 0 0 4 9 】

図 9 は本発明の、コア 1、コア 2 およびその周辺のユーザ回路を分離してテストする場合を説明する第 2 の実施例の回路図である。第 1 の実施例と異なるのはコア 1 とユーザ回路テストのシリアルチェーンが 2 本になっていることである。この例を用いて、コア 1、コア 2、ユーザ回路をどのようにテストするか述べる。まず、この実施例で用いられる TAP 6 1 を図 1 0 に示す。この図において、TAP 6 1 は、外部から入力される信号 TMS, 信号 TCK, 信号 TDI に応じて各テストモード信号 S, B, T1, T2, TU を制御し、各部へ出力する。

【 0 0 5 0 】

テストモード信号 S とテストモード信号 B は、TAP 6 0 と同様に各部へ出力

される。テストモード信号 T 1 は、テスト回路 1 1 ~ 1 2、回路 4 1、回路 4 3、セクタ 5 3 へテストモード信号 T として出力される。テストモード信号 T 2 は、テスト回路 1 3 ~ 1 5、回路 2 0、回路 4 2、回路 4 4、セクタ 5 1 ~ 5 2 へテストモード信号 T として出力される。テストモード信号 T U は、回路 4 5 へ出力される。

【 0 0 5 1 】

まず、テストモード信号 B = 1、テストモード信号 T 1 = 1、テストモード信号 T 2 = 0、テストモード信号 T U = 0 に設定され、出力されると、これにより回路 4 2、回路 4 5、回路 4 4 の出力は 0 になり、パラレルテスト端子 P O T 1 によって、回路 4 1 の出力を、パラレルテスト端子 P O T 2 によって回路 4 3 の出力を観測できる。ここでテストモード信号 S = 1 にすると、回路 1 1、回路 1 2 の内部は、テストパターン入力端子 s i、F F 1 0 - 2、テストパターン出力端子 s o が有効となり、P I N 1 および P I N 2 からテストパターンを設定できる。また、F F 1 0 - 2、端子 c i も有効となり、コア 1 に入力パターンを与えることが出来る。次に、S = 0 にすると、回路 1 1、回路 1 2 の内部は端子 c o、F F 1 0 - 2 が有効となり、コア 1 の出力が F F 1 0 - 2 に取り込まれる。ここで、再び S = 1 になると、パラレルテスト端子 P O T 1、P O T 2 からテストパターンを取り出すことが出来る。

【 0 0 5 2 】

次に、コア 2 のテスト方法について説明する。まず、テストモード信号 B = 1、テストモード信号 T 1 = 0、テストモード信号 T 2 = 1、テストモード信号 T U = 0 に設定され、出力されると、回路 4 1、4 3、4 5 の出力は 0 になり、パラレルテスト端子 P O T 1 は回路 4 2 の出力を、また、パラレルテスト端子 P O T 2 は回路 4 4 の出力を観測できる。後は第 1 の実施例と同様にテストが行われる。

【 0 0 5 3 】

次に、ユーザ回路についてテストを行う方法について説明する。まず、テストモード信号 B = 1、テストモード信号 T 1 = 0、テストモード信号 T 2 = 0、テストモード信号 T U = 1 に設定され、出力されると、セクタ 5 1 はスキャン F

F 3 6 の出力を選択し、セクタ 5 2 はテスト回路 1 4 の出力、セクタ 5 3 はテスト回路 1 1 の出力を選択する。これにより、パラレルテスト端子 P I N 1、テスト回路 1 1、テスト回路 1 2、スキャン F F 3 1、スキャン F F 3 2、スキャン F F 3 3、スキャン F F 3 4、パラレルテスト端子 P O T 1 の系統と、パラレルテスト端子 P I N 2、スキャン F F 3 5、スキャン F F 3 6、テスト回路 1 3、テスト回路 1 4、テスト回路 1 5、回路 2 0、パラレルテスト端子 P O T 2 の系統の 2 本のスキャンチェーンが構成される。

【 0 0 5 4 】

ここで、テストモード信号 S が 1 になると、テスト回路 1 1 ~ 1 5 の内部は、テストパタン入力端子 s i、F F 1 0 - 2、テストパタン出力端子 s o が有効となり、また、回路 2 0 の内部はテストパタン入力端子 s i、F F 2 0 - 2、テストパタン出力端子 s o が有効となる。これにより、パラレルテスト端子 P I N 1 とパラレルテスト端子 P I N 2 からパラレルにシリアルなテストパタンを設定できる。

【 0 0 5 5 】

このとき、テスト回路 1 1 ~ 1 5 は、F F 1 0 - 2、端子 u o も有効となり、ユーザ回路 3、4 に出力を与えることが出来る。そして、スキャン F F 3 1 ~ 3 6 の 3 0 - 2 においても、それぞれデータが設定される。次に、テストモード信号 S = 0 になると、テスト回路 1 1 ~ 1 5 は、端子 u i、F F 1 0 - 2 が有効となり、また、回路 2 0 の内部は端子 2 u i、F F 2 0 - 2 が有効となる。これにより、ユーザ回路 3、4 からの出力が各 F F 1 0 - 2、F F 2 0 - 2 へ入力される。さらに、スキャン F F 3 1 ~ 3 6 にもデータが取り込まれる。ここで再びテストモード信号 S = 1 になると、パラレルテスト端子 P O T 1 とパラレルテスト端子 P O T 2 からパラレルにシリアルなテストパタンを取り出すことができる。なお、上述の実施例では、テスト回路 1 1 ~ 1 5 は、コアとユーザ回路へ接続されているが、2 つのコア間に対し、接続をすることが可能である。

【 0 0 5 6 】

次に、テスト回路の生成処理の実施の形態について、図面を参照し、説明する。図 1 1 は、この発明の一実施形態によるテスト回路生成方法の概略を示す概念。

図である。この実施例においては一例として、パラレルテスト端子数が4であり、コア1の入力端子数が2、出力端子数が2であり、コア2の入力端子数が4、出力端子数が3であり、ユーザ回路が2つある場合について説明する。

【0057】

パラレルテスト端子数は、集積回路装置の全端子のうち、テスト用に使える外部端子数である。ここで、テスト用に使えるか否かは、その端子に接続された回路の動作速度や、特殊なインタフェースを使用しているか否か等の条件から決定される（ステップS101）。

【0058】

次に、テストを行う対象となる各コアの端子数をそれぞれ抽出する。この実施例では、コア1の端子数である4と、コア2の端子数である7が抽出される（ステップS102、ステップS103）。

【0059】

次に、1組の入力、出力のパラレルテスト端子へ直列に接続されるFF10-2、FF20-2の数の合計であるシリアル長と、コアへ接続されるパラレルテスト端子の入力端子と出力端子がペアになる数であるパラレル数が決定される（ステップS104）。このパラレル数は、パラレルテスト端子数を2で割ることにより得られる。この場合、パラレル数は2である。

【0060】

シリアル長を計算する方法については、2種類ある。一方の方法は、全コアの中で端子数が最大となるコアを基準する共通シリアル長を求める方法であり、たとえば、上述実施例1では、入力、出力の端子数が7であるコア2を基準として、シリアル長が決定されている。この場合、コア2の入力端子数が4、出力端子数が3であるので、入力端子数4を、上述のパラレル数である2で割ることによって、共通シリアル長が2であると計算できる。

【0061】

他方の方法は、各コアそれぞれの端子数に基づいてシリアル長が決定する方法がある。この方法は、たとえば、上述の実施例2に示すように、コア1およびコア2のそれぞれの端子数に応じて、シリアル長が決定される。この場合、コア1

の入力端子数が 2、出力端子数が 2 であるので、入力端子数 2 を、上述の平行数である 2 で割ることによって、コア毎シリアル長が 1 であると計算できる。また、コア 2 においては、コア 2 の入力端子数が 4、出力端子数が 3 であるので、入力端子数 4 を、上述の平行数である 2 で割ることによって、コア毎シリアル長が 2 であると計算できる。

【0062】

また、テスト回路生成処理を行う上で、スキャン FF 31～36 のシリアル長平行数の決定方法について説明する。この決定方法は、次のように決定される。まず、ユーザスキャン平行数は、この実施例で使用する平行テスト端子数が 2 であるので、2 を 2 で割ることにより、1 である。次に、ユーザスキャンシリアル長は次のように決まる。コア 1 の入力端子数と出力端子数が 2 であるので端子数は 2、コア 2 の端子数は、入力端子数 4 である。そして、ユーザ回路内のスキャン FF の数が 6 であるので、これら 2、4、6 を合計し、12 を得る。そして、この 12 をユーザスキャン平行数 1 で割ることにより、ユーザスキャンシリアル長 12 が得られる。

【0063】

以下、図 12、図 13 のフローチャートを用いてテスト回路の生成について説明する。ここでは、例として、図 2 において、テスト回路の生成について説明する。まず、コア 1、コア 2、のうち未処理のコアを一つ選ぶ（ステップ S201）。ここでは、コア 1 を選択する。次に、コア入力、コア出力のうち少ないほうの端子数と同数のテスト回路 10 を発生する（ステップ S202）。コア 2 の端子数は同じ 2 であるので、2 つのテスト回路 11～12 を発生させる。

【0064】

次に、コア入力端子、コア出力端子のうち多いほうの数から少ないほうの端子数を引いた数の回路 20 を発生させる（ステップ S203）。コア 1 は、入力および出力端子数は同数であるので、回路 20 は発生されない。そして、コア入力、コア出力を一つずつテスト回路 10 に接続する（ステップ S204）。そして、残ったコア端子を回路 20 へ接続するステップ S205 があるが、ここでは回路 20 は発生されないなので、このステップは省略される。

【 0 0 6 5 】

次に、一つの端子 s_i 、 s_o が未接続のテスト回路 1 0 または回路 2 0 の端子 s_i を一つの平行テスト入力端子に接続する（ステップ S 2 0 6）。PIN 1 とテスト回路 1 1 のテストパターン入力端子 s_i が接続される。そして、端子 s_i が接続され端子 s_o が未接続のテスト回路 1 1 と、他の一つの s_1 、 s_0 が未接続のテスト回路 1 2 の端子 s_i を接続する（ステップ S 2 0 7）。そして、コア毎シリアル長に達するまで（ステップ S 2 0 8）、ステップ S 2 0 6 から繰り返される（ステップ S 2 0 8）。

【 0 0 6 6 】

次に、端子 s_i が接続され端子 s_o が未接続のテスト回路 1 0 の端子 s_i を、平行テスト出力端子 POT 1 に接続する（ステップ S 2 0 9）。そして、この平行テスト出力端子 POT 1 が他のコアで使用されていないので（ステップ S 2 1 0）、ステップ S 2 1 2 へ進む。ステップ S 2 1 2 において、コア 1 の平行数は 1 であるので、ステップ S 2 1 3 へ進む。

【 0 0 6 7 】

次に、未処理のコア 2 があるので、ステップ S 2 0 1 へ移行する。そして、コア 2 は、入力端子が 4 であり、出力端子が 3 であるので、ステップ S 2 0 3 において回路 2 0 が 1 つ発生する。そして、コア 2 の入力および出力端子にテスト回路 1 3 ~ 1 5 を接続し（ステップ S 2 0 4）、コア 2 と、回路 2 0 の接続を行う（ステップ S 2 0 5）。次に、ステップ S 2 0 6 において、テスト回路 1 3 と、平行テスト端子 PIN 1 の接続を行う。

【 0 0 6 8 】

次に、テスト回路 1 3 とテスト回路 1 4 を接続する（ステップ S 2 0 7）。これで、コア 2 のコア毎シリアル長である 2 に達したため（ステップ S 2 0 8）、テスト回路 1 4 のテストパターン出力端子と平行テスト端子 POT 1 が接続される（ステップ S 2 0 9）。ここで、平行テスト端子 POT 1 は、他の回路に接続されているため（ステップ S 2 1 0）、回路 4 1 および OR 回路 4 8 を介して接続される（ステップ S 2 1 1）。そして、コア 2 の平行数である 2 に達していないので（ステップ S 2 1 2）、ステップ S 2 0 5 から、同様に接続の

処理が行われる。

【0069】

次に、未処理のコアがなくなると（ステップS213）次に、ユーザ回路の接続処理を行う（図13）。ユーザ回路のスキャンFF31～36と全コアの回路1、回路2のユーザスキャンチェーンの接続順序を決定する（ステップS214）。次に、ユーザスキャンシリアル長とユーザスキャンパラレル数を決定する。これは、上述したように、ユーザスキャンシリアル長は12、ユーザスキャンパラレル数は1である（ステップS215）。

【0070】

次に、一つの端子s_i、端子s_oがユーザスキャンチェーンに未接続のテスト回路11～15または回路20またはスキャンFF31～36の回路の端子s_iを一つのパラレルテスト入力端子に接続する（ステップS216）。ここでは、すでにテスト回路11がパラレルテスト端子PIN1へ接続されているので、省略される。

【0071】

次に、端子s_iがユーザスキャンチェーンに接続され端子s_oがユーザスキャンチェーンに未接続のテスト回路11～15または回路20またはユーザスキャンFF31～36の回路の端子s_oと、他の一つの端子s_i、端子s_oがユーザスキャンチェーンに未接続のテスト回路11～15または回路20またはユーザスキャンFF31～36の回路の端子s_iを接続する（ステップS217）。

ここでは、ユーザ回路12のテストパタン出力端子s_oと、スキャンFF31のテストパタン入力端子s_iが接続される。このとき、スキャンFF31のテストパタン入力端子s_iは、他の回路に接続されていないので（ステップS218）、ステップS220へ進む。

【0072】

そして、ユーザスキャンシリアル長に達するまで、ステップS217から繰り返される。ここで、スキャンFF36とテスト回路13を接続する場合に、テスト回路13は、パラレルテスト端子PIN1へ接続されているので（ステップS218）、スキャンFF36とテスト回路13の間に、セクタ51を挿入する

(ステップ S 2 1 9)。

【0 0 7 3】

ユーザスキャンシリアル長に達すると(ステップ S 2 2 0)、端子 s i がユーザスキャンチェーンに接続され S O がユーザスキャンチェーンに未接続のテスト回路 1 1～1 5 または回路 2 0 またはスキャン F F 3 1～3 6 の回路の端子 s o を、一つの平行テスト出力端子に接続する(ステップ S 2 2 1)。ここでは、回路 2 0 のテストパターン出力端子 s o と、平行テスト端子 P I N 1 が接続される。

【0 0 7 4】

そして、平行テスト出力端子が既に他のコアで使用されているときは(ステップ S 2 2 2)、回路 4 および O R を介して接続する(ステップ S 2 2 3)が、この場合、他の回路で使用されていないので、このステップ S 2 2 3 は省略される。

【0 0 7 5】

ユーザスキャン平行数に達するまでステップ S 2 1 6 からステップ S 2 2 4 が繰り返し行われる(ステップ S 2 2 4)。最後に、各制御信号の端子と T A P 6 0 を接続する(ステップ S 2 2 5)。

【0 0 7 6】

また、以上説明したテスト回路生成装置の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより施工管理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、O S や周辺機器等のハードウェアを含むものとする。また、「コンピュータシステム」は、W W W システムを利用している場合であれば、ホームページ提供環境(あるいは表示環境)も含むものとする。

【0 0 7 7】

また、「コンピュータ読み取り可能な記録媒体」とは、フロッピーディスク、光磁気ディスク、R O M、C D－R O M 等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。さらに「コンピュータ読

み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムを送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ（RAM）のように、一定時間プログラムを保持しているものも含むものとする。また上記プログラムは、このプログラムを記憶装置などに格納したコンピュータシステムから伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピュータシステムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク（通信網）や電話回線などの通信回線（通信線）のように情報を伝送する機能を有する媒体のことをいう。

【0078】

また、上述のプログラムは、前述した機能の一部を実現するためのものであっても良く、さらに前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であっても良い。

【0079】

以上、この発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【0080】

【発明の効果】

以上説明したように、本発明では、外部から入力されるテストモード信号に基づき、第1の被テスト回路から出力される第1の出力信号または第2の被テスト回路から出力される第2の出力信号またはテスト信号を選択し、選択された信号をデータとして一時記憶し、前記第2のテストモード信号に基づき、一時記憶したデータまたは第2の出力信号を選択し、第1の被テスト回路へ設定し、第3のテストモード信号に基づき、一時記憶したデータあるいは前記第1の出力信号を選択し、第2の被テスト回路へ出力するようにしたので、コアとユーザ回路にたいし、テストを行うことができる効果が得られる。さらに、この発明によれば、第1の被テスト回路の入力信号と出力信号および、第2の被テスト回路の入力信

号と出力信号を、1つの記憶素子に共有させるようにしたので、シリアル長を削減することができ、これにより、テスト時間を削減することができる。

【0081】

請求項4記載の発明によれば、集積回路装置と外部の回路を接続するテスト端子の数に基づいて、テスト信号の入出力の系統数を算出し、パラレル数算出部によって決定されるパラレル数に基づき、被テスト回路に対しパラレルにテストを行う系統数を算出し、前記コア毎シリアル長決定部の出力結果に基づいて前記テストを行う系統のシリアル長を算出し、シリアルチェーンを分割したので、使用可能なテスト端子に対して、最適に使用することによって、これにより、テスト時間をさらに削減できる効果が得られる。さらに、使用可能なテスト端子数に基づいて、テスト回路を生成したので、テスト端子数を増加させることを防ぐことができる効果が得られる。

【図面の簡単な説明】

【図1】 この発明の第一の実施形態によるテスト回路10の構成を示す概略ブロック図である。

【図2】 本発明のテスト回路10を適用した集積回路の構成を示す概略ブロック図である。

【図3】 回路20の構成を示す図である。

【図4】 スキャンFFの構成を示す図である。

【図5】 セレクタ51の構成を示す図である。

【図6】 回路41の構成を示す図である。

【図7】 TAP60の構成を示す図である。

【図8】 ユーザ回路テストのときのシリアルチェーンを2本にした場合の図である。

【図9】 コア1、コア2およびその周辺のユーザ回路を分離してテストする場合を説明する図である。

【図10】 TAP61の構成を示す図である。

【図11】 本発明の一実施形態によるテスト回路生成方法の概略を示す概念図である。

【図 1 2】 テスト回路の生成について説明するフローチャートである。

【図 1 3】 テスト回路の生成について説明するフローチャートである。

【符号の説明】

1、2 コア

3、4 ユーザ回路

10～15 テスト回路

20、40～42 回路

30～36 スキャンFF

48 OR回路

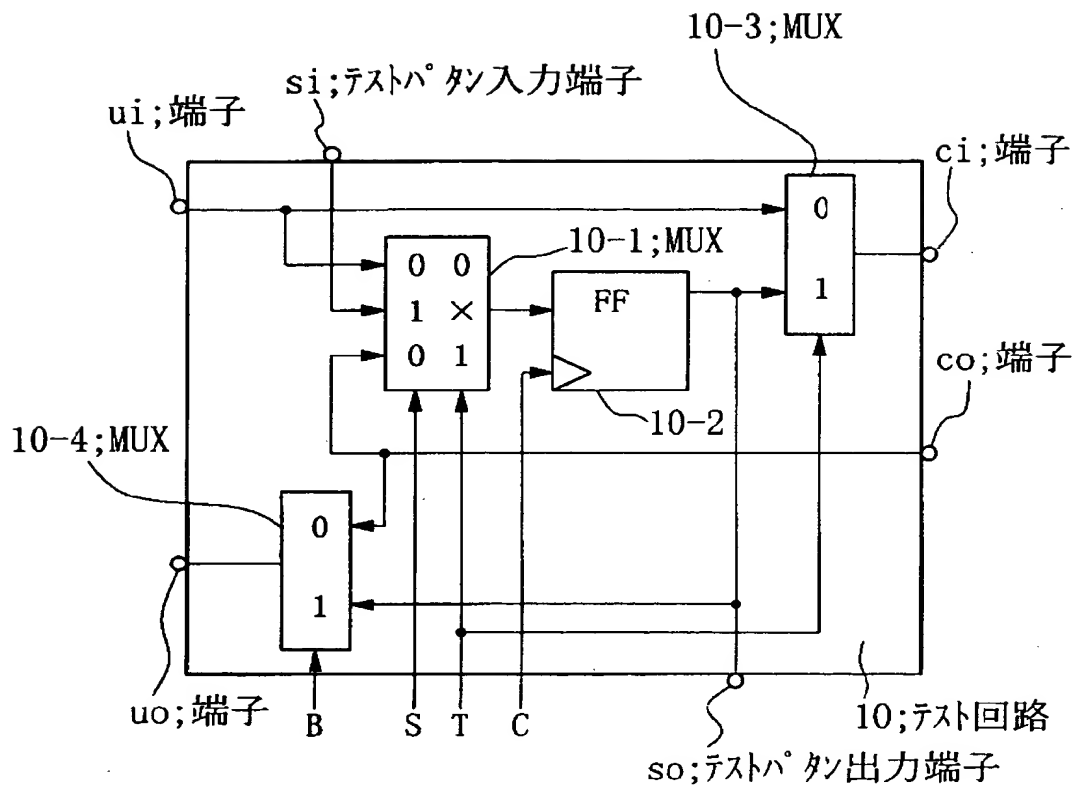
51、52 セレクタ

60、61 TAP

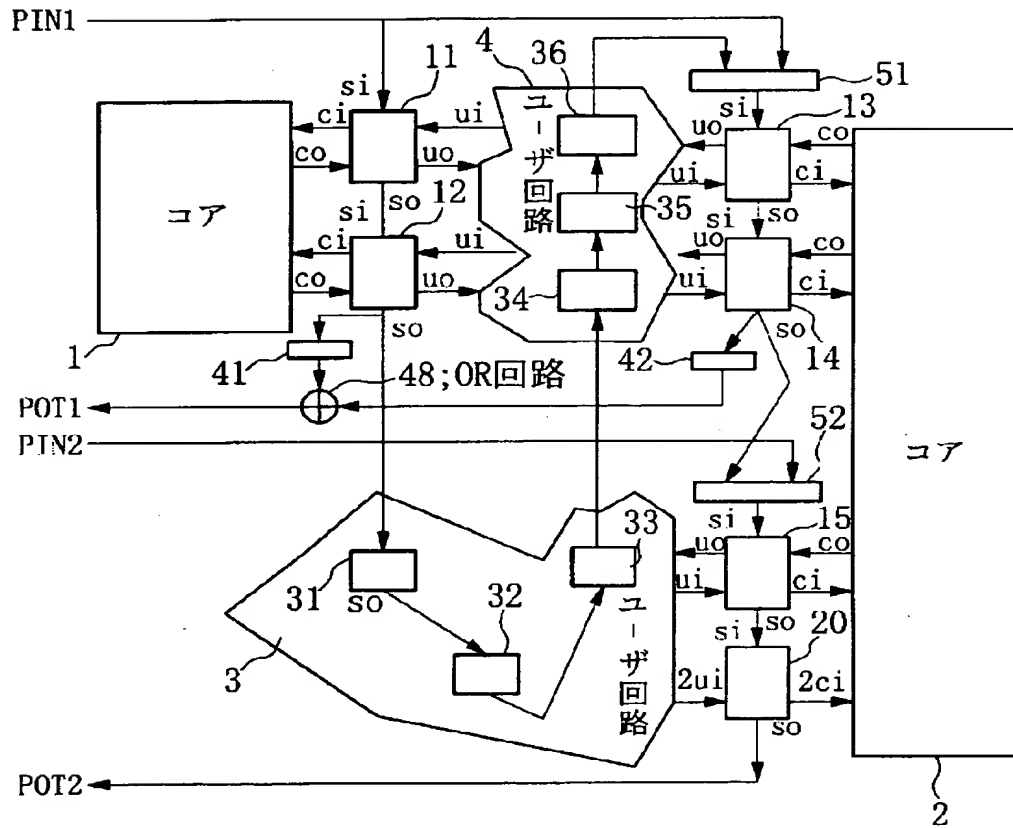
PIN1～PIN3、POT1～POT3 パラレルテスト端子

【書類名】 図面

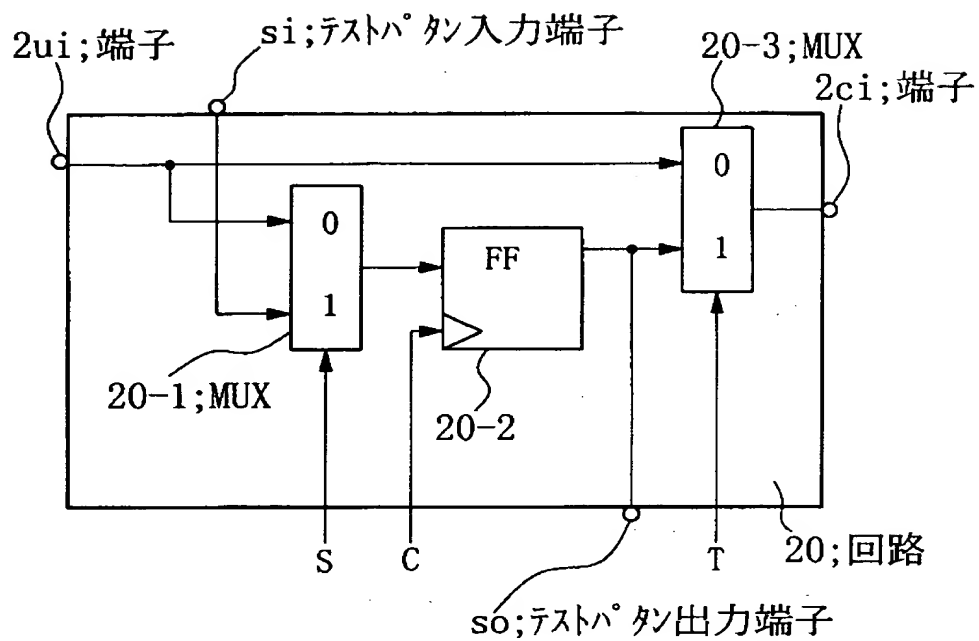
【図 1】



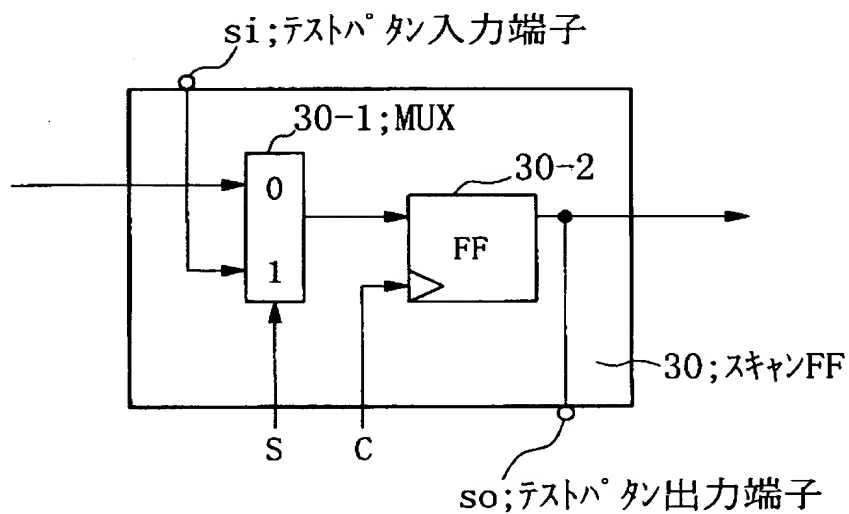
【図 2】



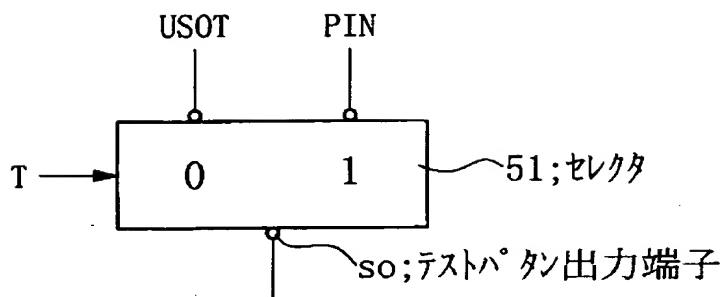
【図 3】



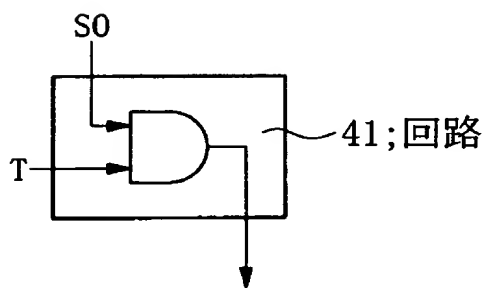
【図 4】



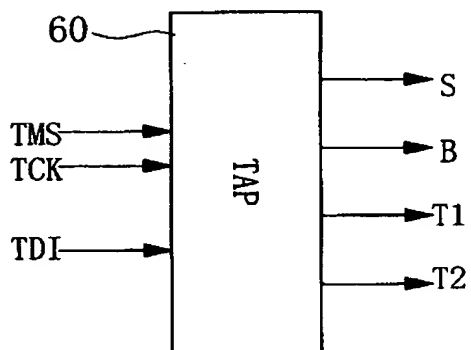
【図 5】



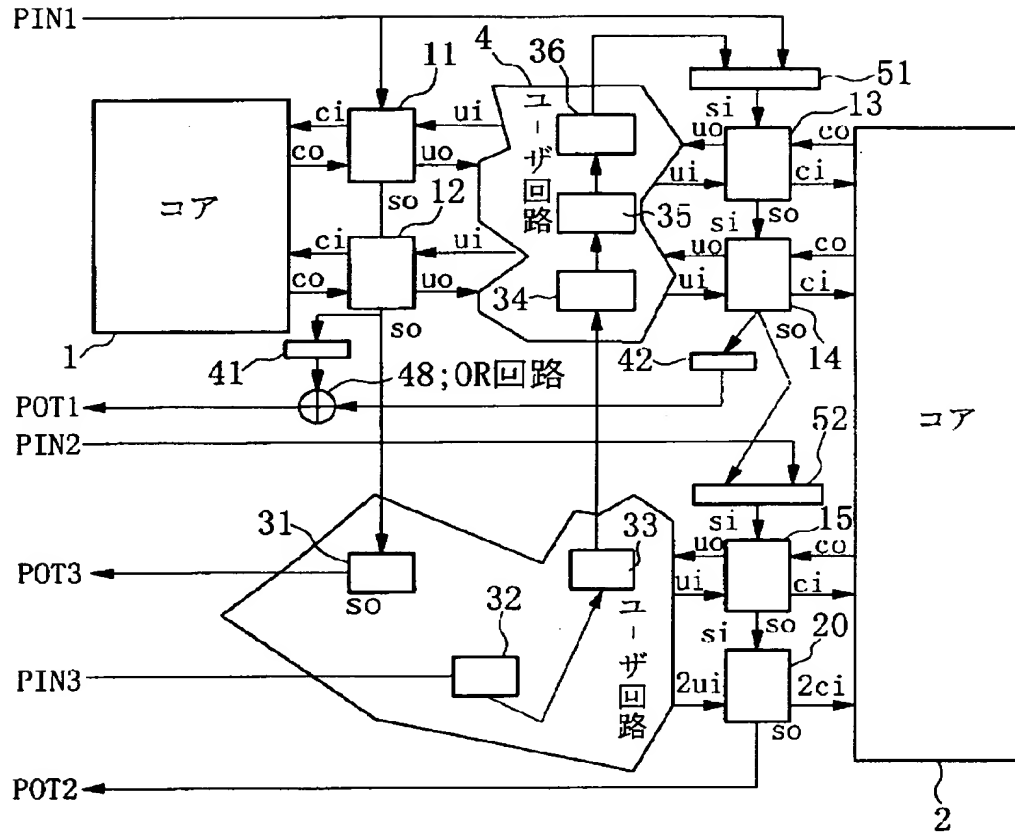
【図 6】



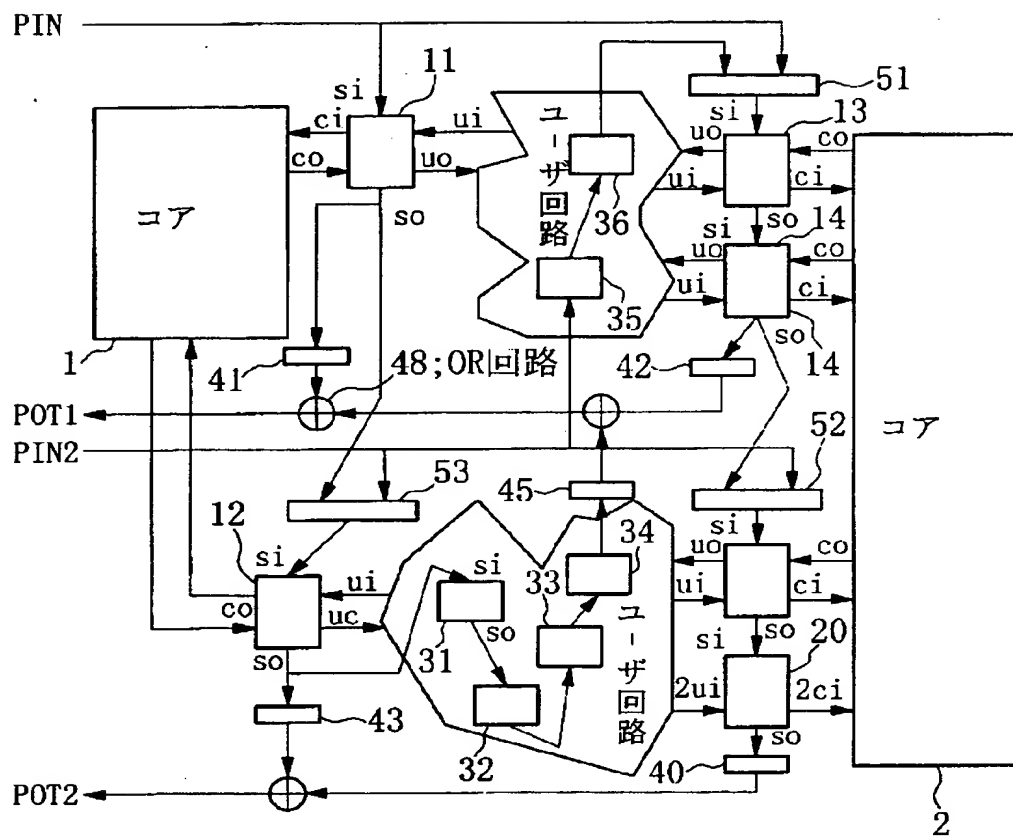
【図 7】



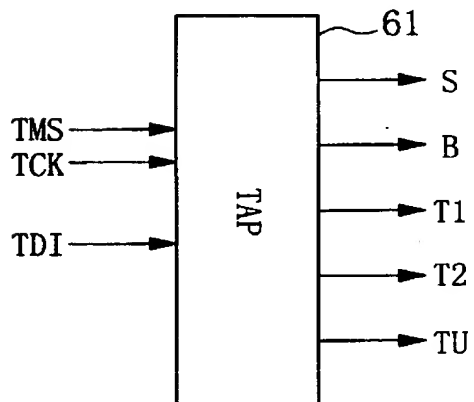
【図 8】



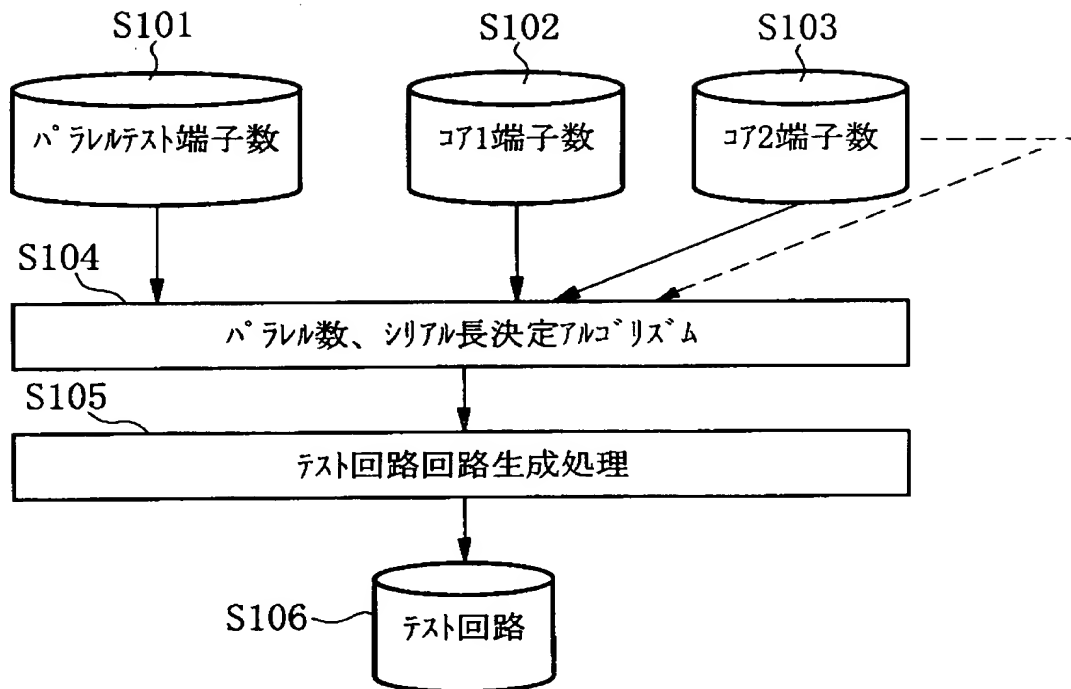
【図 9】



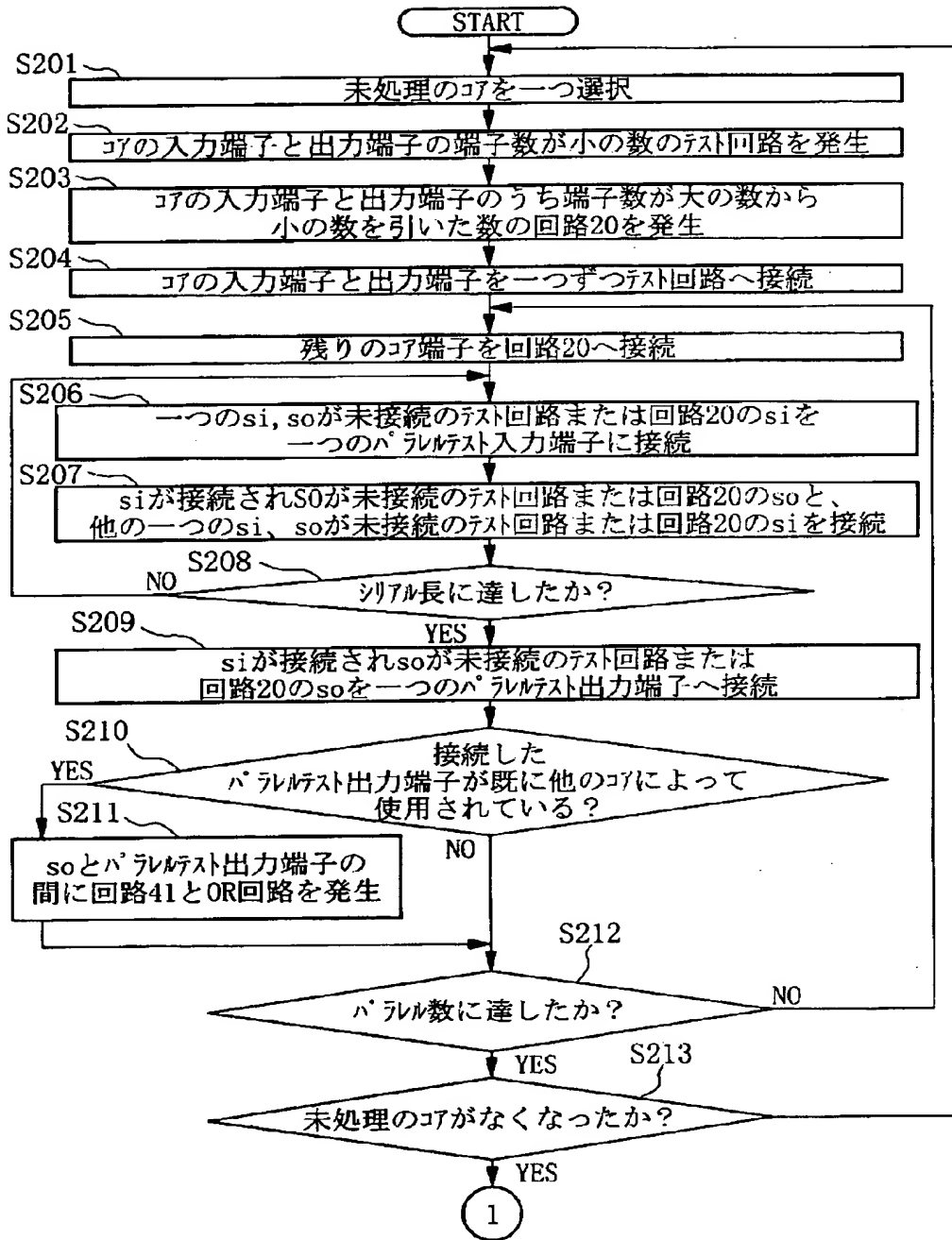
【図 1 0】



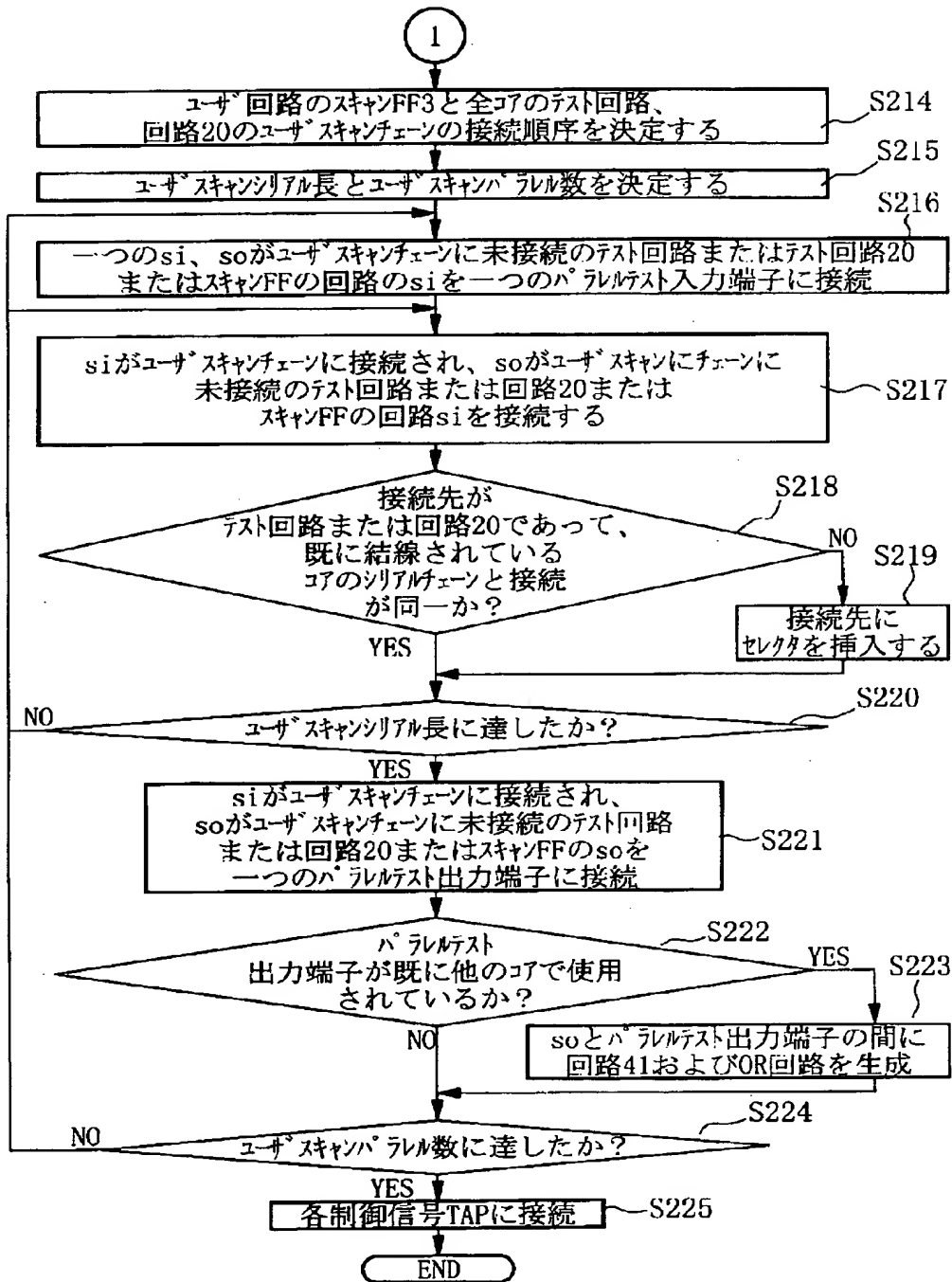
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 テスト時間を短縮し、パターン長と外部端子数を削減した集積回路装置のテスト回路を提供する。

【解決手段】 第 1 と第 2 の被テスト回路の間に設定され、該第 1 と第 2 の被テスト回路に対し、テストを行うテスト回路であって、外部から入力されるテストモード信号に基づき、前記第 1 の被テスト回路から出力される第 1 の出力信号または前記第 2 の被テスト回路から出力される第 2 の出力信号またはテスト信号を選択し、選択された信号をデータとして一時記憶し、前記第 2 のテストモード信号に基づき、前記一時記憶したデータまたは前記第 2 の出力信号を選択し、前記第 1 の被テスト回路へ設定し、第 3 のテストモード信号に基づき、前記一時記憶したデータあるいは前記第 1 の出力信号を選択し、前記第 2 の被テスト回路へ出力する。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成 11 年 特許願 第 297453 号
受付番号	59901022956
書類名	特許願
担当官	大畑 智昭 7392
作成日	平成 11 年 10 月 25 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目 7 番 1 号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	高橋 詔男
----------	-------

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	志賀 正武
----------	-------

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	青山 正和
----------	-------

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ ル 志賀国際特許事務所

【氏名又は名称】	村山 靖彦
----------	-------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社